

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-021183

(43)Date of publication of application : 21.01.2000

(51)Int.Cl.

G11C 16/02
G11C 16/04
H01L 27/115
H01L 27/10
H01L 21/8247
H01L 29/788
H01L 29/792

(21)Application number : 10-184141

(71)Applicant : MATSUSHITA ELECTRIC IND
CO LTD

(22)Date of filing : 30.06.1998

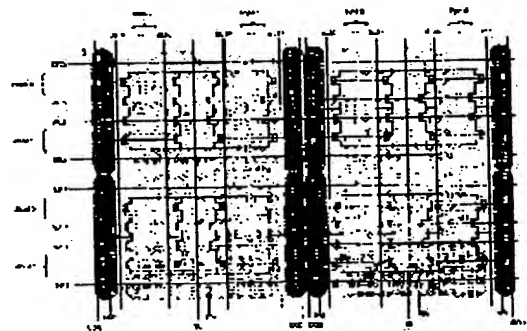
(72)Inventor : HATAKEYAMA SHINICHI
TAKAHASHI KEITA

(54) SEMICONDUCTOR NONVOLATILE MEMORY

(57)Abstract:

PROBLEM TO BE SOLVED: To make electronic devices compact and light-weight by setting on the same chip a flash memory which can erase all bits in one operation or in units of blocks and an EEPROM which can erase in units of bytes.

SOLUTION: An EEPROM cell array has flash memory cells 1, bit selection transistors 2 and byte selection transistors 3. The bit selection transistors 2 are formed of N-channel MOS transistors connected in series to the flash memory cells 1. The byte selection transistors 3 are formed of P-channel MOS transistors connected in series to gates of flash memory cells 1 connected in common so that the flash memory cell 1 and the bit selection transistor 2 constitute one unit and 8 units constitute one byte. The EEPROM cell array that can be erased in units of bytes can be constituted although the flash memory cell is used.



LEGAL STATUS

[Date of request for examination]

BEST AVAILABLE COPY

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-21183

(P2000-21183A)

(43)公開日 平成12年1月21日(2000.1.21)

| (51)Int.Cl. ⁷ | 識別記号 | F I | テマコード [*] (参考) |
|--------------------------|-------|---------------|-------------------------|
| G 1 1 C 16/02 | | G 1 1 C 17/00 | 6 0 1 T 5 B 0 2 5 |
| 16/04 | | H 0 1 L 27/10 | 4 8 1 5 F 0 0 1 |
| H 0 1 L 27/115 | | G 1 1 C 17/00 | 6 1 2 F 5 F 0 8 3 |
| 27/10 | 4 8 1 | | 6 2 3 A |
| 21/8247 | | H 0 1 L 27/10 | 4 3 4 |

審査請求 未請求 請求項の数3 O L (全 8 頁) 最終頁に続く

(21)出願番号 特願平10-184141

(22)出願日 平成10年6月30日(1998.6.30)

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 畠山 伸一

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 高橋 桂太

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74)代理人 100086737

弁理士 岡田 和秀

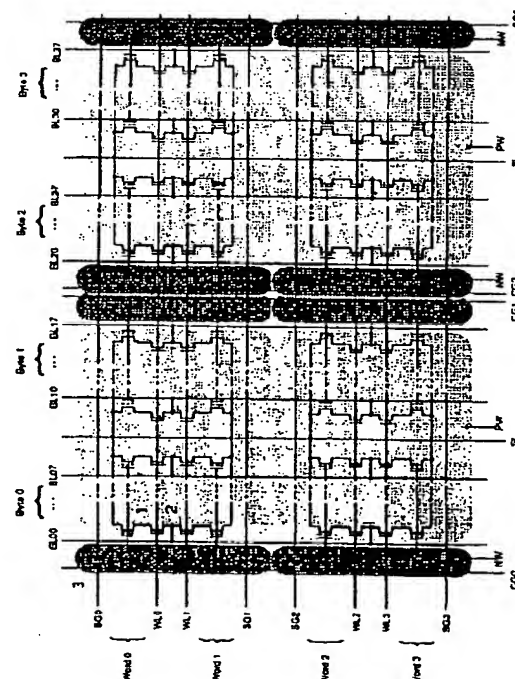
最終頁に続く

(54)【発明の名称】 半導体不揮発性メモリ

(57)【要約】

【課題】フラッシュ・メモリのデータ書き換え時におけるシステム的な制御の複雑さを低減することが可能であり、電子機器の小型化及び軽量化を図ることができる構成とされた半導体不揮発性メモリを提供する。

【解決手段】本発明に係る半導体不揮発性メモリは、フラッシュ・メモリ・セル1と、このフラッシュ・メモリ・セル1に直列接続されたNチャネルMOSトランジスタで形成されるビット選択トランジスタ2と、フラッシュ・メモリ・セル1及びビット選択トランジスタ2で1個のユニットとなり、かつ、8個のユニットをもって1バイトとなる際に共通接続されたフラッシュ・メモリ・セル1のゲート同士に直列接続されたPチャネルMOSトランジスタで形成されるバイト選択トランジスタ3とを具備してなるバイト消去可能なEEPROMセル・アレイが設けられていることを特徴とする。



【特許請求の範囲】

【請求項1】 フラッシュ・メモリ・セルと、このフラッシュ・メモリ・セルに直列接続されたNチャネルMOSトランジスタで形成されるビット選択トランジスタと、フラッシュ・メモリ・セル及びビット選択トランジスタで1個のユニットとなり、かつ、8個のユニットをもって1バイトとなる際に共通接続されたフラッシュ・メモリ・セルのゲート同士に直列接続されたPチャネルMOSトランジスタで形成されるバイト選択トランジスタとを具備してなるバイト消去可能なEEPROMセル・アレイが設けられていることを特徴とする半導体不揮発性メモリ。

【請求項2】 請求項1に記載した半導体不揮発性メモリであって、EEPROMセル・アレイと同一のチップ上にはフラッシュ・メモリ・セル・アレイが設けられており、EEPROMセル・アレイ及びフラッシュ・メモリ・セル・アレイのそれぞれは制御回路、電源回路、書き込み回路、デコーダ回路、Yゲート、入出力回路、センス・アンプを具備して独立動作が可能なるものであることを特徴とする半導体不揮発性メモリ。

【請求項3】 請求項2に記載した半導体不揮発性メモリであって、置換アドレス記憶用EEPROMブロックとアドレス比較回路とが設けられており、置換アドレス記憶用EEPROMブロックに記憶されているフラッシュ・メモリ・セル・アレイのアドレスが指定された際には、アドレス比較回路によってフラッシュ・メモリあるいはEEPROMの別に指定されたアドレスが選択される機能を有していることを特徴とする半導体不揮発性メモリ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体不揮発性メモリに係り、詳しくは、全ビット一括消去あるいはブロック消去が可能なフラッシュ・メモリと、バイト消去が可能なEEPROMとを同一のチップ上に設けてなる半導体不揮発性メモリに関する。

【0002】

【従来の技術】 近年、電気的なデータの書き換えが可能なフラッシュ・メモリが半導体不揮発性メモリとして幅広い分野で利用されているが、この種のフラッシュ・メモリは以下に説明するようなものとなっている。

【0003】 すなわち、図8はフラッシュ・メモリ・セルの断面構造及び消去時、書き込み時、読み出し時におけるバイアス条件を示す説明図であり、消去はメモリ・セルのゲート(G)とPウェル(PW)との間に電圧を印加し、Pウェルからフローティング・ゲートへと電子を注入することによって実行され、消去後におけるしきい値電圧は高い状態となる。また、書き込みはメモリ・セルのドレイン(D)とゲートとの間に電圧を印加し、

フローティング・ゲートからドレインへと電子を放出することによって実行されており、書き込み後におけるしきい値電圧は低い状態となる。さらに、読み出しはソース(S)及びドレイン間にドレイン電流(I_d)を流すことによって実行されており、ドレイン電流の電流量によってフラッシュ・メモリ・セルが消去状態であるか、書き込み状態であるかが識別されることになっている。なお、第8図で示す電圧値は一例であり、製造条件等によって電圧値が変化することは勿論である。

【0004】 一方、図9はフラッシュ・メモリ・セル・アレイにおける消去時のバイアス条件を示す説明図であり、図からも分かるように、消去時には、全ビットのメモリ・セルに対して消去条件のバイアス電圧が印加されるため、全てのメモリ・セルでフローティング・ゲートへと電子が注入されることになる。なお、場合によっては、メモリ・セル・アレイをある所定単位のプロック毎に分割しておいたうえで消去することも行われるが、いずれにしても、フラッシュ・メモリにおけるデータの消去は全ビット一括あるいはブロック単位でもって実行されるため、一部のデータを書き換えるだけであっても、チップあるいはブロック毎の全データをバッファ・メモリに待避せしめたうえで消去しなければならず、システムの制御の煩雑さを伴うことになっていた。

【0005】 そのため、従来の電子機器においては、頻繁に書き換える必要がないマイクロ・コンピュータのプログラム等のような情報(以下、プログラムという)についてはフラッシュ・メモリでもって記憶し、かつ、書き換え頻度の高い各種のデータについてはEEPROMでもって記憶するという方法が採用され、電子機器へと組み込まれる基板に対しては、フラッシュ・メモリとEEPROMとの2個の半導体素子を実装しておくことが行われている。

【0006】

【発明が解決しようとする課題】 しかしながら、フラッシュ・メモリ及びEEPROMと2個の半導体素子を実装するのでは、電子機器の小型化及び軽量化が阻害されることになり、製品価格の上昇を招くことになってしまう。そこで、2個の半導体素子が必要となる不都合を解消するため、以下のような方法が採用されている。すなわち、1個のフラッシュ・メモリにおけるメモリ・セル・アレイを2個に分割しておき、一方のメモリ・セル・アレイから読み出しながら他方のメモリ・セル・アレイには書き込むという方法であり、具体的には、一方のメモリ・セル・アレイにプログラムを書き込んでおき、そのデータを読み出してマイクロ・コンピュータを動作させつつ、他方のメモリ・セル・アレイに対してデータを書き込むことが実行される。

【0007】 そして、このような方法を採用すれば、1個のフラッシュ・メモリであるにも拘わらず、プログラムとデータとを記憶することが可能になる。ところが、

データの書き換え時には、やはり、全データを他のバッファ・メモリへと待避させたうえで全ビットを消去して書き換える必要があり、そのシステム的な制御が煩雑であることには変わりがない。なお、特に、一部のデータのみを書き換える場合にあっては、時間的な損失も非常に大きくなっているのが現状である。

【0008】本発明は、これらの不都合に鑑みて創案されたものであって、フラッシュ・メモリのデータ書き換え時におけるシステム的な制御の繁雑さを低減することが可能であり、電子機器の小型化及び軽量化を図ることができる構成とされた半導体不揮発性メモリの提供を目的としている。

【0009】

【課題を解決するための手段】本発明の請求項1に係る半導体不揮発性メモリは、フラッシュ・メモリ・セルと、このフラッシュ・メモリ・セルに直列接続されたNチャネルMOSTランジスタで形成されるビット選択トランジスタと、フラッシュ・メモリ・セル及びビット選択トランジスタで1個のユニットとなり、かつ、8個のユニットでもって1バイトとなる際に共通接続されたフラッシュ・メモリ・セルのゲート同士に直列接続されたPチャネルMOSTランジスタで形成されるバイト選択トランジスタとを具備してなるバイト消去可能なEEPROMセル・アレイが設けられていることを特徴とする。このような構成とした際には、フラッシュ・メモリ・セルを用いたうえでバイト消去可能なEEPROMセル・アレイが構成されるので、全ビット一括消去あるいはブロック消去が可能なフラッシュ・メモリとバイト消去が可能なEEPROMとを同一のチップ上に設けることが可能になる。

【0010】本発明の請求項2に係る半導体不揮発性メモリは請求項1に記載したものであって、EEPROMセル・アレイと同一のチップ上にはフラッシュ・メモリ・セル・アレイが設けられており、EEPROMセル・アレイ及びフラッシュ・メモリ・セル・アレイのそれぞれは制御回路、電源回路、書き込み回路、デコーダ回路、Yゲート、入出力回路、センス・アンプを具備して独立動作が可能なるものであることを特徴としている。この構成によれば、全ビット一括消去あるいはブロック消去が可能なフラッシュ・メモリ・セル・アレイとバイト消去が可能なEEPROMセル・アレイとが同一のチップ上に設けられており、かつ、これらの各々を周辺回路でもって独立的に動作させることが可能となるので、フラッシュ・メモリに書き込んだプログラムによってマイクロ・コンピュータを動作させながらEEPROMのデータを書き換えることが可能となる。なお、この際においては、当然に逆動作も可能であることになる。

【0011】本発明の請求項3に係る半導体不揮発性メモリは請求項2に記載したものであって、置換アドレス記憶用EEPROMブロックとアドレス比較回路とが設

けられており、置換アドレス記憶用EEPROMブロックに記憶されているフラッシュ・メモリのアドレスが指定された際には、アドレス比較回路によってフラッシュ・メモリあるいはEEPROMの別に指定されたアドレスが選択される機能を有していることを特徴とする。このような構成であれば、フラッシュ・メモリの一部だけを書き換える際には全ビットのデータを消去する必要がないため、必要なビットのみを消去したうえで書き換えることが可能になる。さらには、フラッシュ・メモリにおける一部のアドレスが別のフラッシュ・メモリの指定されたアドレスと置換されるので、フラッシュ・メモリ・セルにおいて製造上の欠陥が発生した場合には、アドレスの正常な別のフラッシュ・メモリ・セルに置換することが可能になるという利点も確保される。

【0012】

【発明の実施の形態】(実施の形態1)図1は本実施の形態に係る半導体不揮発性メモリに設けられたEEPROMセル・アレイを示す説明図であり、図2はメモリ・セルの消去時、書き込み時、読み出し時におけるバイアス条件を示す説明図である。また、図3は消去時におけるEEPROMセル・アレイの断面構造及びバイアス条件を示す説明図、図4は書き込み時におけるEEPROMセル・アレイの断面構造及びバイアス条件を示す説明図であり、図5は読み出し時におけるEEPROMセル・アレイの断面構造及びバイアス条件を示す説明図である。

【0013】なお、これらの図1ないし図5における符号Gはゲート、Sはソース、Dはドレイン、CGはコントロール・ゲート、PWはPウェル、NWはNウェル、p+はP型拡散、n+はN型拡散、P-subはP型基板、WLはワード線、BLはビット線、SLはソース線、SGはセレクトゲート線、Idはドレイン電流、×はオープン状態をそれぞれ示している。

【0014】本実施の形態に係る半導体不揮発性メモリは、図1で示すように、フラッシュ・メモリ・セル1と、ビット選択トランジスタ2と、バイト選択トランジスタ3とを具備してなるEEPROMセル・アレイが設けられたものであり、この際におけるビット選択トランジスタ2は、フラッシュ・メモリ・セル1に対して直列接続されたNチャネルMOSTランジスタでもって形成されている。一方、ここでのバイト選択トランジスタ3は、フラッシュ・メモリ・セル1及びビット選択トランジスタ2でもって1個のユニットとなり、かつ、8個のユニットでもって1バイトとなる際に共通接続されたフラッシュ・メモリ・セル1のゲート同士に直列接続されたPチャネルMOSTランジスタでもって形成されたものとなっている。

【0015】つぎに、以上のような構成とされたEEPROMセル・アレイの消去時、書き込み時、読み出し時における動作を、図2ないし図5に基づきながら説明す

る。

【0016】まず、データの消去時には、消去時のバイアス条件を示す図3のように、Pウェル(PW)に対して0V、選択されたバイト4を構成しているフラッシュ・メモリ・セル1のゲート(G)に対して13Vの電圧が印加されることになり、PWからフローティング・ゲートへと電子が注入されることによって消去が実行される。そして、消去後におけるフラッシュ・メモリ・セル1のしきい値電圧は、高い状態となる。一方、選択されなかったバイトのフラッシュ・メモリ・セル1に対しては、電子の注入・放出を引き起こす電圧が印加されないため、しきい値電圧は変化しないことになる。すなわち、ここでは選択されたバイト4のみの消去が実行されており、EEPROMセル・アレイはバイト消去可能なものであることになっている。

【0017】そして、データの書き込みに際しては、書き込み時のバイアス条件を示す図4からも分かるように、選択されたバイト4のうちで書き込もうとするビットのビット線(BL)に対して4.5V、書き込まないビットのビット線に対して0Vを印加し、かつ、選択されたバイト4のフラッシュ・メモリ・セル1のゲートに対して-8Vを印加することが実行される。従って、選択されたバイト4の書き込もうとするビットでは、フローティング・ゲートからドレイン(D)へと電子が放出されることになり、書き込み後におけるフラッシュ・メモリ・セル1のしきい値電圧は低い状態となる。しかしながら、選択されたバイト4のうちで書き込まないビットと選択されなかったバイトのフラッシュ・メモリ・セル1とに対しては、電子の注入・放出を引き起こす電圧が印加されないため、これらのしきい値電圧は変化しないままとなる。

【0018】さらに、データの読み出し時には、読み出し時のバイアス条件を示す図5のように、選択されたバイト4のフラッシュ・メモリ・セル1におけるソース(S)及びドレイン間にドレイン電流(I_d)を流すことが実行され、ドレイン電流の電流量によってフラッシュ・メモリ・セル1が消去状態であるか、書き込み状態であるかが識別される。すなわち、本実施の形態によれば、フラッシュ・メモリ・セル1を用いたうえでバイト消去可能なEEPROMセル・アレイが構成されており、このEEPROMセル・アレイによってはバイト単位の書き込み動作及び読み出し動作も何らの不都合なく実行可能であることになる。なお、本実施の形態における電圧値は一つの代表例であるに過ぎず、製造条件等によって電圧値が変化することはいうまでもない。

【0019】(実施の形態2)図6は実施の形態2に係る半導体不揮発性メモリ、つまり、同一のチップ上にフラッシュ・メモリ・セル・アレイとEEPROMセル・メモリとが設けられた半導体不揮発性メモリの構成を模式化して示す説明図であり、実施の形態1を採用した際

にはフラッシュ・メモリ・セル・アレイとEEPROMセル・アレイとを同一の製造技術によって同一のチップ上に設けることが可能となる。なお、図6における符号5はフラッシュ・メモリ・セル・アレイを示し、6はEEPROMセル・アレイを示している。

【0020】すなわち、実施の形態2に係る半導体不揮発性メモリは、従来の形態で説明したと同様のフラッシュ・メモリ・セル・アレイ5が実施の形態1で説明したEEPROMセル・アレイ6と同一のチップ上に設けられたものであり、フラッシュ・メモリ・セル・アレイ5及びEEPROMセル・アレイ6のそれぞれは、図6で示すように、制御回路7、電源回路8、書き込み回路9、デコード回路10、Yゲート11、入出力回路12、センス・アンプ等からなる周辺回路を具備している。そして、この際におけるフラッシュ・メモリ・セル・アレイ5とEEPROMセル・アレイ6とのそれぞれは、各々毎に専用の周辺回路を具備しているため、互いに独立した動作が可能であることになり、このような構成であれば、フラッシュ・メモリを読み出しながら同じチップ内に設けられたEEPROMに対してデータを書き込むことが可能となる。

【0021】そこで、フラッシュ・メモリにプログラムを記憶しておき、このプログラムによってマイクロ・コンピュータを動作させながら同一のチップ上に設けられたEEPROMに対してデータを書き込むという動作、つまり、従来の形態ではフラッシュ・メモリとEEPROMとの2個を必要とすることになっていた動作を1個の半導体不揮発性メモリでもって実行することが可能となる。従って、本実施の形態に係る半導体不揮発性メモリを2個の半導体素子と代えて使用することとすれば、電子機器へと組み込まれる基板における実装面積を容易に低減できることとなる。なお、ここでは、フラッシュ・メモリにプログラムを記憶し、EEPROMにデータを書き込むとしているが、このような構成に限られることはないものであり、EEPROMにプログラムを記憶しておき、このEEPROMのプログラムによってフラッシュ・メモリを書き換えることも可能となることは勿論である。

【0022】(実施の形態3)図7は実施の形態3に係る半導体不揮発性メモリの構成を模式化して示す説明図であり、この実施の形態3に係る半導体不揮発性メモリでは、フラッシュ・メモリ・セル・アレイ5とEEPROMセル・アレイ6とが設けられた同一のチップ上に、置換アドレス記憶用EEPROMブロック13とアドレス比較回路14とを設けることが行われている。そして、この際の置換アドレス記憶用EEPROMブロック13に記憶されているフラッシュ・メモリ・セル・アレイ5のアドレスが指定された際には、アドレス比較回路14によってフラッシュ・メモリあるいはEEPROMの別に指定されたアドレスを選択する機能が発揮される

ことになっている。

【0023】すなわち、同一のチップ上にフラッシュ・メモリ・セル・アレイ5とEEPROMセル・アレイ6とが設けられた実施の形態2に係る半導体不揮発性メモリにおいても、フラッシュ・メモリのデータを書き換える際には、全てのデータを他のバッファ・メモリに待避させたうえで全ビットを消去した後、書き換える必要があることになる。これに対し、実施の形態3に係る不揮発性メモリであれば、フラッシュ・メモリにおける一部のデータを書き換える際には、そのアドレスを置換アドレス記憶用EEPROMブロック13に記憶しておき、書き換えるデータをEEPROMの別に指定されたアドレスに置換して書き込むことが行われることになり、EEPROMセル・アレイ6がバイト単位での消去が可能なものであるため、フラッシュ・メモリのデータを見かけ上はバイト単位で書き換えることが可能となる。

【0024】なお、読み出しに際してもアドレスが置換されることになり、置換したデータが出力されることになっている。つまり、このような構成であれば、フラッシュ・メモリの一部だけを書き換える際には全ビットのデータを消去する必要がなくなるため、必要なビットのみを消去したうえで書き換えることが可能となるのである。また、本実施の形態に係る半導体不揮発性メモリにおいては、フラッシュ・メモリを別のアドレスのフラッシュ・メモリに置き換えることも可能であることになり、このことを利用すれば、フラッシュ・メモリ・セルにおいて製造上の欠陥が発生した場合には、該当するアドレスを正常なフラッシュ・メモリ・セルに置換し得るという利点が確保される。

【0025】

【発明の効果】本発明に係る半導体不揮発性メモリによれば、バイト消去可能なEEPROMセル・アレイがフラッシュ・メモリ・セルを用いたうえで構成されており、全ビット一括消去あるいはブロック消去が可能なフラッシュ・メモリとバイト消去が可能なEEPROMと

を同一のチップ上に設けておくことが可能となるので、電子機器の小型化及び軽量化を実現しながら製品価格の低下を図ることができるという効果が得られる。また、フラッシュ・メモリのデータ書き換え時におけるシステム的な制御の複雑さを低減することも可能であり、さらには、フラッシュ・メモリ・セルにおける製造上の欠陥が発生した場合にはアドレスの正常な別のフラッシュ・メモリ・セルに置換することができるという利点も確保される。

【図面の簡単な説明】

【図1】実施の形態1に係る半導体不揮発性メモリに設けられたEEPROMセル・アレイを示す説明図である。

【図2】メモリ・セルの消去時、書き込み時、読み出し時におけるバイアス条件を示す説明図である。

【図3】消去時におけるEEPROMセル・アレイの断面構造及びバイアス条件を示す説明図である。

【図4】書き込み時におけるEEPROMセル・アレイの断面構造及びバイアス条件を示す説明図である。

【図5】読み出し時におけるEEPROMセル・アレイの断面構造及びバイアス条件を示す説明図である。

【図6】実施の形態2に係る半導体不揮発性メモリの構成を模式化して示す説明図である。

【図7】実施の形態3に係る半導体不揮発性メモリの構成を模式化して示す説明図である。

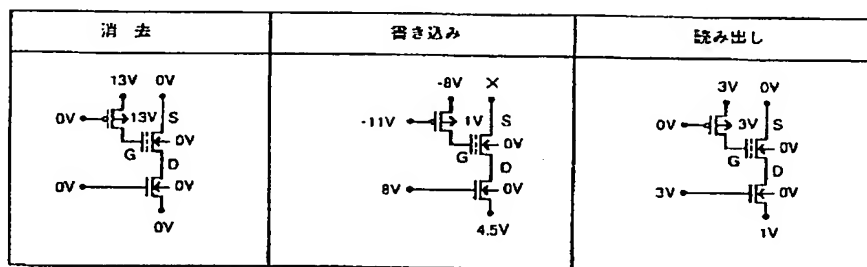
【図8】従来の形態に係るフラッシュ・メモリ・セルの断面構造及び消去時、書き込み時、読み出し時におけるバイアス条件を示す説明図である。

【図9】従来の形態に係るフラッシュ・メモリ・セル・アレイにおける消去時のバイアス条件を示す説明図である。

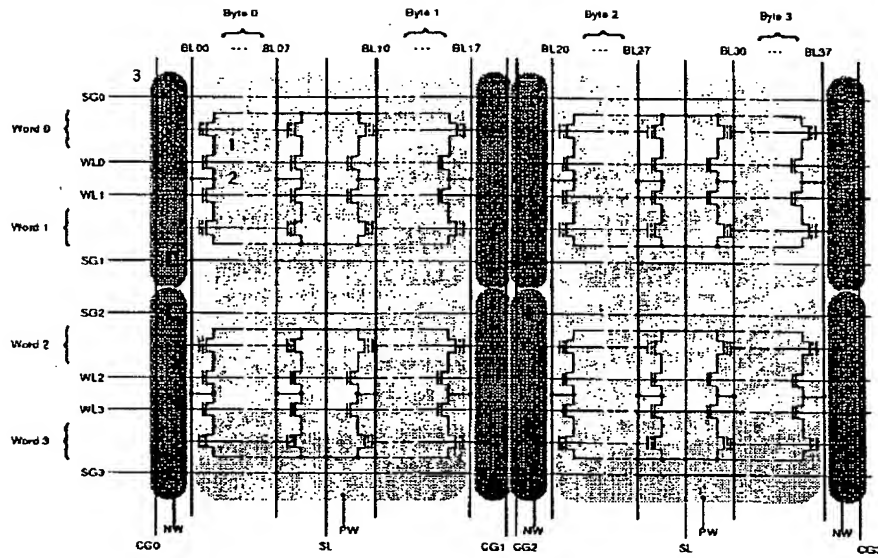
【符号の説明】

- 1 フラッシュ・メモリ・セル
- 2 ビット選択トランジスタ
- 3 バイト選択トランジスタ

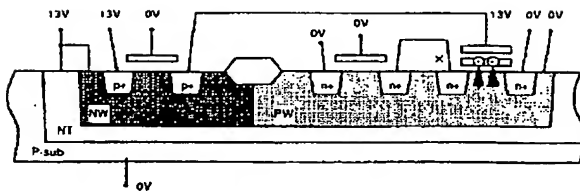
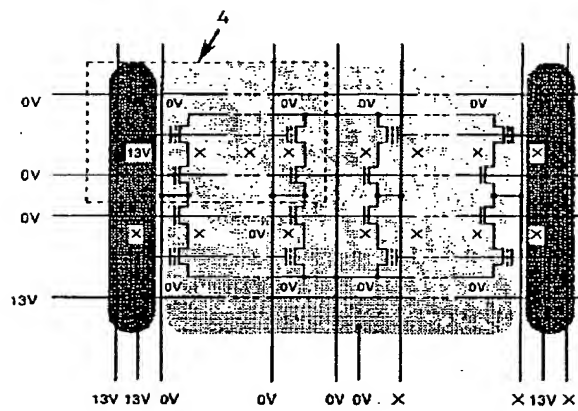
【図2】



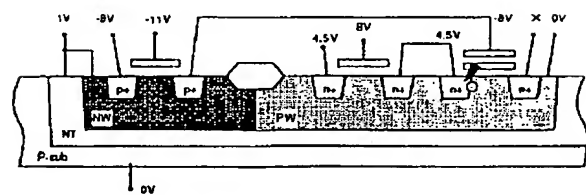
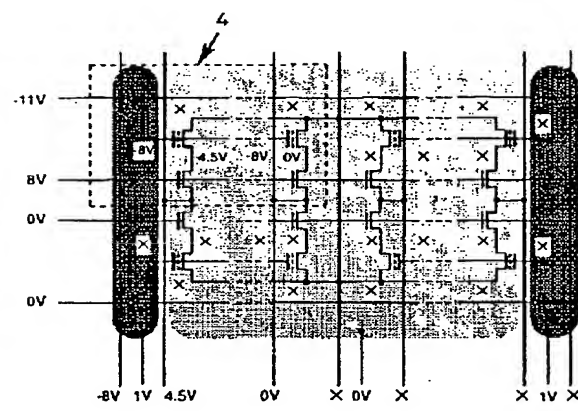
【図1】



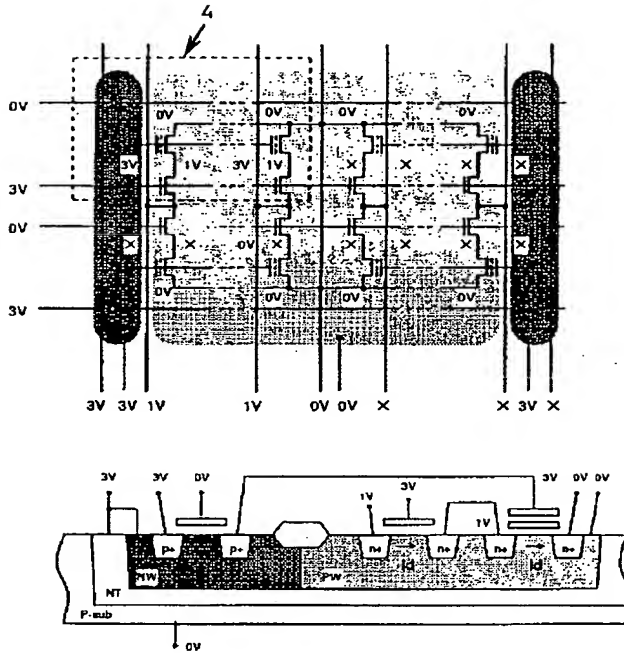
【図3】



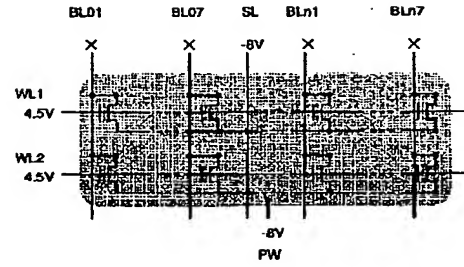
【図4】



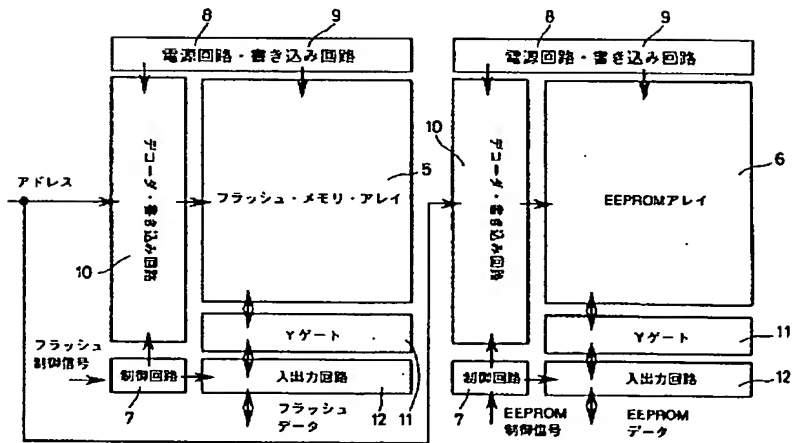
【図5】



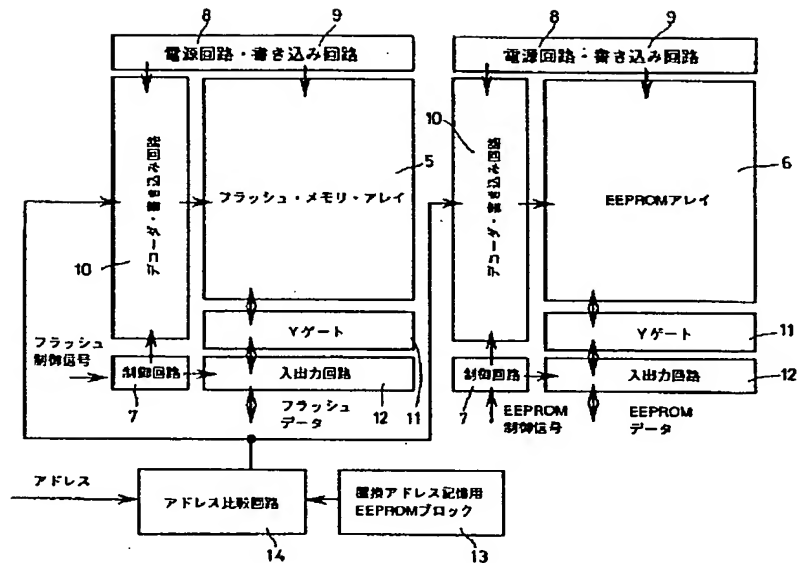
【図9】



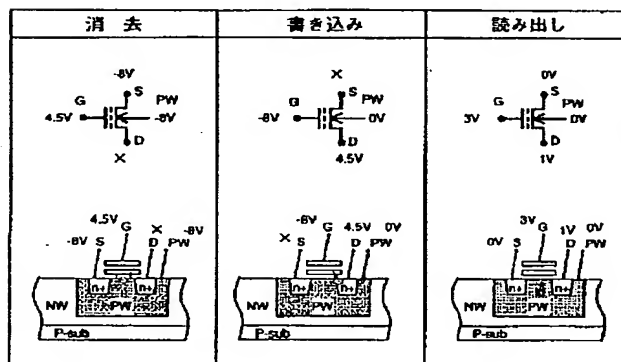
【図6】



【図7】



【図8】



フロントページの続き

(51)Int.Cl.⁷
H01L 29/788
29/792

識別記号

F I
H01L 29/78

ターマート(参考)

371

Fターム(参考) 5B025 AC02 AD08
5F001 AA25 AB08 AD05 AD41 AD44
AE02 AE03 AE08 AG40 AH07
5F083 EP02 EP23 ER03 ER09 ER14
ER15 ER22 ER23 ER30 LA04
LA05 LA10 LA12 LA16 LA18

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☒ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.